

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 02 日
Application Date

申請案號：091122775
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2002 年 12 月 9 日
Issue Date

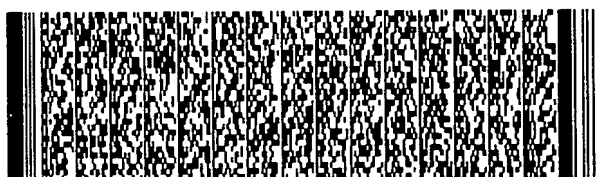
發文字號：09111023981
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	以多重信號源產生高精確度延遲信號之方法及裝置
	英 文	Method and Device for Generating Highly Accurate Delay Signal from Multiple Signal Sources
二、 發明人	姓 名 (中文)	1. 莊英朗
	姓 名 (英文)	1. Samuel Chuang
	國 籍	1. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Cher Wang



四、中文發明摘要 (發明之名稱：以多重信號源產生高精確度延遲信號之方法及裝置)

本案係關於一種以多重信號源(multiple signal source)產生高精確度延遲信號之方法，係包括下列步驟：提供複數個信號源；其中，任兩相鄰之信號源間係相差一個時脈(clock)週期；因應該複數個信號源，以於一第一及第二時間分別產生一第一及第二輸出信號；以及將該第一及第二輸出信號遂行一邏輯運算，以得致一延遲信號；又，本案亦係關於一種以多重信號源(multiple signal source)產生高精確度延遲信號之裝置，係包括：一多重信號源產生裝置，係可因應一高頻信號，以產生輸出複數個信號源；其中，任兩相鄰之信號源間係相差一個時脈(clock)週期；一信號源輸出選擇裝置，電連接於該多重信號源產生裝置，以輸入該複數個信號源，且該信號

英文發明摘要 (發明之名稱：Method and Device for Generating Highly Accurate Delay Signal from Multiple Signal Sources)

A method for generating a highly accurate delay signal from multiple signal sources is disclosed. The method includes steps of providing a plurality of signal sources with a phase difference of one clock cycle between every two adjacent signal sources; generating a first and a second output signals at a first and a second time points in response to the plurality of signal sources; and logically operating the first and the second output signals to obtain a delay signal. A



四、中文發明摘要 (發明之名稱：以多重信號源產生高精確度延遲信號之方法及裝置)

源輸出選擇裝置係可分別因應一第一及第二時脈信號，分別於一第一及第二時間產生一第一及第二輸出信號；以及一邏輯運算裝置，電連接於該信號源輸出選擇裝置，以輸入該第一及第二輸出信號，該邏輯運算裝置係可將該第一及第二輸出信號遂行一邏輯運算，以得致一延遲信號；藉由本案之方法與裝置，係將具有高精確度之延遲信號應用於高頻電路中。

英文發明摘要 (發明之名稱：Method and Device for Generating Highly Accurate Delay Signal from Multiple Signal Sources)

device for generating a highly accurate delay signal from multiple signal sources is also disclosed. The device includes a signal source generator outputting a plurality of signal sources in response to a high-frequency signal, wherein there is phase different of one clock cycle between every two adjacent signal sources; a signal source selecting device electrically connected to the signal source generator for receiving the plurality of signal sources, and



四、中文發明摘要 (發明之名稱：以多重信號源產生高精確度延遲信號之方法及裝置)

英文發明摘要 (發明之名稱：Method and Device for Generating Highly Accurate Delay Signal from Multiple Signal Sources)

generating a first and a second output signals at a first and a second time points in response to a first and a second clock signals, respectively; and a logic operation device electrically connected to the signal source selecting device for receiving the first and the second output signals, and performing a logic operation to obtain a delay signal. By the method and the device, a highly accurate delay signal adapted for a high-frequency circuit is provided.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

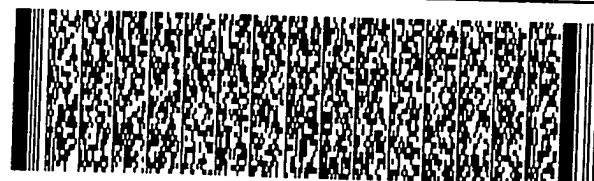
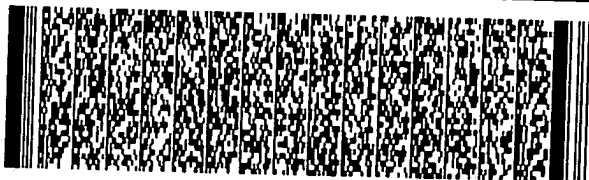
發明領域：

本案係關於一種產生延遲信號之方法與裝置，尤指一種在高頻運作環境中，以多重信號源(multiple signal source)產生高精確度延遲信號之方法與裝置。

發明背景：

隨著微處理器之運作速度越來越快，其在設計方面所帶來的問題亦越來越多；其中，跨晶片間的信號同步問題，即是目前重要的待解決課題。

請參閱第一圖(a)、(b)，其係分別為以三個晶片為例之一晶片架構示例圖與一信號波形比較示意圖。於圖一(a)中，第一晶片C1除可直接產生第三跨晶片信號予第三晶片C3使用之外，亦可間接產生第一跨晶片信號至該第二晶片C2處，以使該第二晶片C2因應產生第二跨晶片信號予第三晶片C3。再請配合參閱第一圖(b)，設若，要求經 t_{13} 時間長度後輸入至該第三晶片C3之該第二跨晶片信號，其與該第三跨晶片信號之間必須保持同步或維持一定之時間關係(例如，圖一(b)中標示 t_{23} 之時間長度)時，因該第二跨晶片信號係由該第一晶片C1經該第二晶片C2後所產生，故就實際的實施經驗而言，該第二跨晶片信號真正傳送到該第三晶片C3之時間並不容易被掌握，究其原因係在於：至少包括輸出墊延遲(PAD delay)或電路板延遲(PCB



五、發明說明 (2)

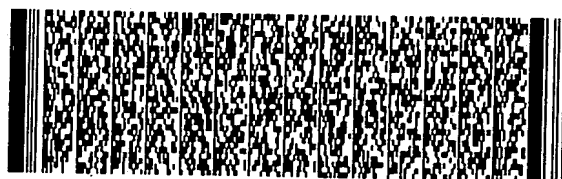
delay) 等等製程或佈局設計上的不確定因素所造成。

基此，習知企圖以設置延遲元件(delay cell)(因其為習知技術，故圖一未示出)來產生出固定的延遲信號至該第一晶片C1中，並使該第一晶片C1延遲一固定的時間長度 t_{12} 後方產生輸出該第二跨晶片信號至該第三晶片C3之做法，顯將無法克服該些製程或佈局設計上的不確定因素對於該第二跨晶片信號與該第三跨晶片信號之間保持同步或維持一定時間關係之影響。此等情況，在高頻的運作環境中將顯得更為嚴重，亦即，一旦該些製程或佈局設計上的不確定因素致使該第二跨晶片信號與該第三跨晶片信號之間所保持的時間差偏離原先的設計時，因在高頻的運作環境中可被接受的誤差範圍較低，此顯將極易使得該第三晶片C3發生誤動作。

職是之故，如何在一高頻之運作環境中，產生一可克服該些製程或設計上的不確定因素而使該第二跨晶片信號與該第三跨晶片信號之間始終保持同步或維持一定時間關係之精確的延遲信號，俾供該第一晶片C1使用，即是本案欲解決之課題。

本案之主要目的，即係提供一種於高頻之運作環境中，以多重信號源(multiple signal source)產生高精度延遲信號之方法及裝置。

發明概述：



五、發明說明 (3)

本案係關於一種以多重信號源(multiple signal source)產生高精確度延遲信號之方法，係可包括下列步驟：提供複數個信號源；其中，任兩相鄰之信號源間係相差一個時脈(clock)週期；因應該複數個信號源，以於一第一及第二時間分別產生一第一及第二輸出信號；以及將該第一及第二輸出信號遂行一邏輯運算，以得致一延遲信號。

依據本案上述之構想，其中該複數個信號源係可由一高頻信號所產生。

依據本案上述之構想，其中該複數個信號源係指由一輸入該高頻信號之鎖相迴路(Phase-Locked Loop, PLL)裝置所產生之複數個鎖相迴路信號。

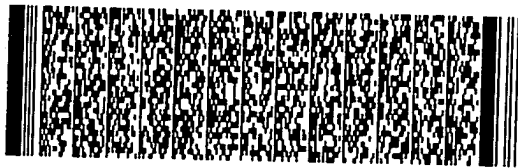
依據本案上述之構想，其中任兩相鄰之信號源中，前一個信號源係領先相鄰之後一個信號源一個時脈週期。

依據本案上述之構想，其中任兩相鄰之信號源中，前一個信號源係落後相鄰之後一個信號源一個時脈週期。

依據本案上述之構想，其中該第一及第二輸出信號係共同用以控制該延遲信號之延遲時間長度。

依據本案上述之構想，其中該邏輯運算係可為一互斥或(XOR)邏輯運算。

依據本案上述之構想，其中於該第一及第二時間分別產生該第一及第二輸出信號之做法，係可包括下列步驟：安排該複數個信號源成為一第一及第二信號源群組；其



五、發明說明 (4)

中，該第一或第二信號源群組中之所有信號源，係皆相同於該複數個信號源；因應一第一時脈信號，以於該第一時間自該第一信號源群組中，產生輸出該第一輸出信號；以及因應一第二時脈信號，以於該第二時間自該第二信號源群組中，產生輸出該第二輸出信號。

依據本案上述之構想，其中該第一及第二時脈信號係分別為預設之一第一及第二時脈計數值。

依據本案上述之構想，其中該第一及/或第二信號源群組係可分別予以區分成至少兩組信號源群組。

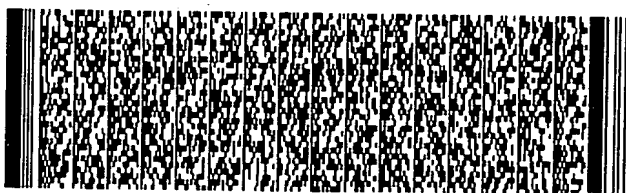
依據本案上述之構想，其中該第一信號源群組之信號源數量係為自其所區分出之該至少兩組信號源群組中任一組信號源群組之信號源數量之整數倍。

依據本案上述之構想，其中該第二信號源群組之信號源數量係為自其所區分出之該至少兩組信號源群組中任一組信號源群組之信號源數量之整數倍。

依據本案上述之構想，其中於該第一信號源群組內用以產生輸出該第一輸出信號之輸出動作時，該特定信號源群組中之所有信號源，係皆處於一相同之電準位狀態。

依據本案上述之構想，其中於該第二信號源群組內用以產生輸出該第二輸出信號之輸出動作時，該特定信號源群組中之所有信號源，係皆處於一相同之電準位狀態。

本案亦係關於一種以多重信號源(multiple signal



五、發明說明 (5)

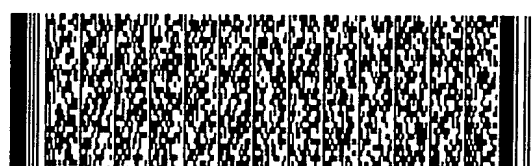
source) 產生高精確度延遲信號之裝置，係包括：一多重信號源產生裝置，係可因應一高頻信號，以產生輸出複數個信號源；其中，任兩相鄰之信號源間係相差一個時脈 (clock) 週期；一信號源輸出選擇裝置，電連接於該多重信號源產生裝置，以輸入該複數個信號源，且該信號源輸出選擇裝置係可分別因應一第一及第二時脈信號，以分別於一第一及第二時間產生一第一及第二輸出信號；以及一邏輯運算裝置，電連接於該信號源輸出選擇裝置，以輸入該第一及第二輸出信號，該邏輯運算裝置係可將該第一及第二輸出信號遂行一邏輯運算，以得致一延遲信號。

依據本案上述之構想，其中該多重信號源產生裝置係可為一鎖相迴路 (Phase-Locked Loop, PLL) 裝置。

依據本案上述之構想，其中該複數個信號源係可為該鎖迴路裝置因應該高頻信號所產生之複數個鎖相迴路信號。

依據本案上述之構想，其中該第一及第二時脈信號係分別為預設之一第一及第二時脈計數值。

依據本案上述之構想，其中該信號源輸出選擇裝置係可包括：一選擇信號產生電路，其係用以輸入該複數個信號源與該第一及第二時脈信號，以產生輸出一第一及第二選擇信號；一第一多工選擇電路，電連接於該選擇信號產生電路，其係可因應該第一選擇信號而自該複數個信號源中選擇輸出一特定之信號源，以產生該第一輸出信號；以及一第二多工選擇電路，電連接於該選擇信號產生電路，



五、發明說明 (6)

其係可因應該第二選擇信號而自該複數個信號源中選擇輸出另一特定之信號源，以產生該第二輸出信號。

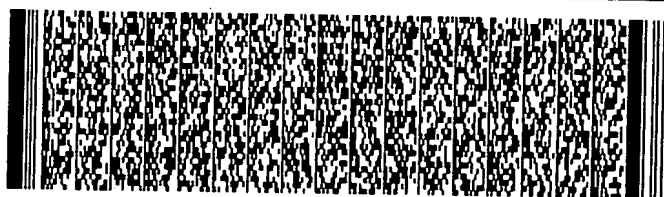
依據本案上述之構想，其中該第一及第二多工選擇電路係各分別包括有一第一至第四多工器係用以分別輸入該複數個信號源。

依據本案上述之構想，其中任一多工器係用以各自輸入該複數個信號源中互相不同之四分之一信號源。

依據本案上述之構想，其中該第一與第二選擇信號，係各分別包括有一第一至第四多工器，並產生一第一至第四多工選擇動作，並產生一第一至第四多工器輸出信號與一第一至第八多工器輸出信號。

依據本案上述之構想，其中該信號源輸出選擇裝置更可包括：一第一多工信號合成輸出電路，電連接於該第一並成多工選擇電路，以輸入該第一輸出信號；以及一第二多工信號合成輸出電路，電連接於該第二輸出信號，並予以合成產生該第二輸出信號。

依據本案上述之構想，其中該第一及第二多工信號合成輸出電路係分別包括一第一或閘(OR gate)與一第二或閘，以分別使該第一至第四多工器輸出信號以及該第五至第八多工器輸出信號遂行一或閘邏輯運算。



五、發明說明 (9)

依據本案上述之構想，其中該第一至第四運算單元係皆可為一或閘(OR gate)，以各自將輸入其中之四分之一信號源予以遂行一或閘邏輯運算，並分別得致該第一至第四輸出控制信號。

依據本案上述之構想，其中該第一至第四輸出單元係皆可為一透通型電門(Transparent Latch)。

依據本案上述之構想，其中該第五至第八運算單元係皆可為一或閘(OR gate)，以各自將輸入其中之四分之一信號源予以遂行一或閘邏輯運算，並分別得致該第五至第八輸出控制信號。

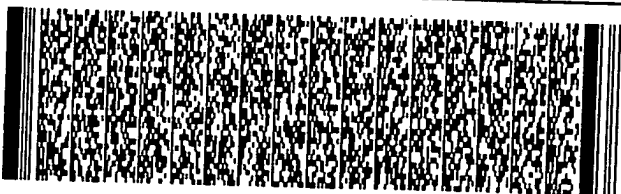
依據本案上述之構想，其中該第五至第八輸出單元係皆可為一透通型電門(Transparent Latch)。

依據本案上述之構想，其中該邏輯運算裝置係可包括：一記憶儲存單元，其係用以輸入並儲存該第一及第二輸出信號；以及一邏輯運算單元，電連接於該記憶儲存單元，該邏輯運算單元係可將該第一及第二輸出信號遂行該邏輯運算，以得致該延遲信號。

依據本案上述之構想，其中該記憶儲存單元係可包括一第一及第二T型正反器(T Flip-Flop)，以分別用以記憶與儲存該第一及第二輸出信號。

依據本案上述之構想，其中該記憶儲存單元係可包括一第一及第二R-S電門(R-S Latch)，以分別用以記憶與儲存該第一及第二輸出信號。

依據本案上述之構想，其中該邏輯運算單元係可為一



五、發明說明 (10)

互斥或閘(XOR gate)。

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

圖式簡單說明：

第一圖(a)、(b)：其係分別為以三個晶片為例之一晶片架構示例圖與一信號波形比較示意圖。

第二圖(a)：其係為本案之較佳實施方法中產生多重信號源(multiple signal source)之概念示例圖。

第二圖(b)、(c)：其係分別為利用圖二(a)中所示之該多重信號源以產生具不同延遲時間之延遲信號之波形示意圖。

第三圖：其係為本案之一較佳實施方法之流程示例圖。

第四圖：其係為本案之一較佳實施裝置之結構示例圖。

第五圖：其係為本案較佳實施裝置中之信號源輸出選擇裝置之內部結構示例圖。

第六圖：其係為信號源輸出選擇裝置中之選擇信號產生電路之內部結構示例圖。

第七圖(a)、(b)：其係分別為本案較佳實施裝置中之邏輯運算裝置之第一及第二內部結構示例圖。



五、發明說明 (11)

圖式中所包含之各元件列示如下：

第一圖(a)、(b)：

第一～第三晶片 C1～C3

時間長度 t12、t13、t23

第二圖～第七圖：

第1至第8個信號源 P0～P7 延遲時間 d1～d7

32個信號源 S0～S31

本案之較佳實施裝置 40

多重信號源產生裝置 41

信號源輸出選擇裝置 42

第一及第二多工選擇電路 421、422

第一至第四多工器 4211～4214

第五至第八多工器 4221～4224

選擇信號產生電路 423

第一及第二選擇信號解碼器 4233、4234

第一至第八運算單元 42311～42318

第一至第八輸出單元 42321～42328

第一及第二多工信號合成輸出電路 424、425

第一或閘 4241 第二或閘 4251

第一至第四及閘 4242～4245



五、發明說明 (12)

第五至第八及閘 4252 ~ 4255

邏輯運算裝置 43

記憶儲存單元 431、432

邏輯運算單元 433

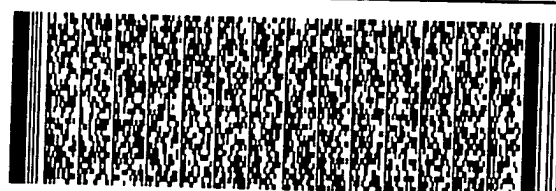
第一及第二T型正反器 4311、4312

第一及第二R-S電門 4321、4322

較佳實施例說明：

請參閱第二圖(a)，其係為本案之較佳實施方法中產生多重信號源(multiple signal source)之概念示例圖；即於圖二(a)中，一高頻信號係可用來產生複數個信號源(例如，第1至第8個信號源P0 ~ P7)；其中，任兩相鄰之信號源間係相差一個時脈(clock)週期；又，該8個信號源P0 ~ P7係可為由一輸入該高頻信號之鎖相迴路(Phase-Locked Loop, PLL)裝置(因其為習知技術，故圖二未示出)所產生之8個鎖相迴路信號。

再則，請參閱第二圖(b)，其為利用圖二(a)中所示之該多重信號源以產生延遲信號之波形示意圖。於圖二(b)中，在t1以及t3時間分別選擇信號源P1、P3輸出，以使第一與第二輸出信號分別在t1以及t3時間產生一電準位轉態，之後，再將該第一與第二輸出信號進行一邏輯運算(例如，為一互斥或邏輯運算)，如此即可產生具有一段極精確的延遲時間d1之延遲信號。同理，在t5以及t7時間分別選擇信號源P5、P7輸出，亦會使該第一與第二輸出信號

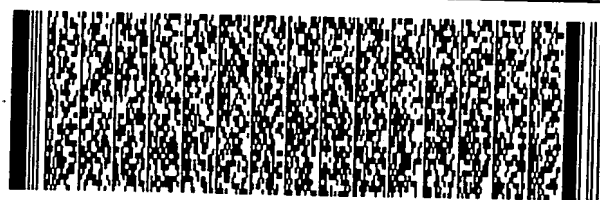
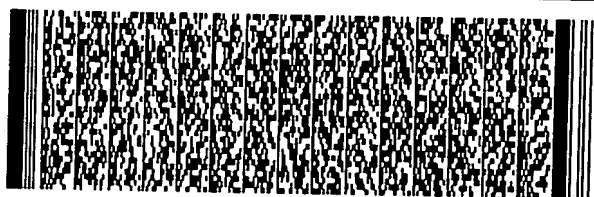


五、發明說明 (13)

分別在 t_5 以及 t_7 時間再一次進行電準位轉態，之後，並將該第一與第二輸出信號進行一邏輯運算(例如，為互斥或邏輯運算)，如此即可使該延遲信號具有另一段極精確的延遲時間 d_2 。

由於前述延遲時間 d_1 以及 d_2 皆係於該高頻信號之第一個正半週週期內所產生，因此，如圖二(b)中所示，在該高頻信號之第二個正半週週期內，亦可在 t_{18} 以及 t_{22} 時間處選擇信號源P2、P6輸出，並進而使得該延遲信號產生出一段極精確的延遲時間 d_3 。當然，如果在該高頻信號第三次正半週週期內，選擇在 t_{32} 以及 t_{34} 時間處使信號源P0、P2輸出的話，亦可使該延遲信號產生出一段極精確的延遲時間 d_4 。

顯然地，如將圖二(b)中之該延遲信號傳送至圖一(a)中之該第一晶片C1處時，將可使吾人視該些製程或佈局設計上的不確定因素實際上對於圖一(a)中該第一與第二跨晶片信號的影響程度，而動態且彈性地決定需要在哪兩個時間點分別選擇不同的信號源輸出，俾產生出特定長度的延遲時間。亦即，提供不同的延遲時間 d_1 、 d_2 、 d_3 或 d_4 予該第一晶片C1，使其所產生的該第三跨晶片信號能與該第二晶片C2所產生的該第二跨晶片信號取得同步，抑或使其之間的時脈誤差落在容許的範圍內。故，圖一(b)中標示 t_{12} 的時間長度(即該延遲信號所能提供之延遲時間)不再是固定不變的，相反地，於本案中其係能隨著電路之實際狀況而予以動態調整，如此一來，本案顯可成功地克服該些



五、發明說明 (14)

製程或佈局設計上的不確定因素。

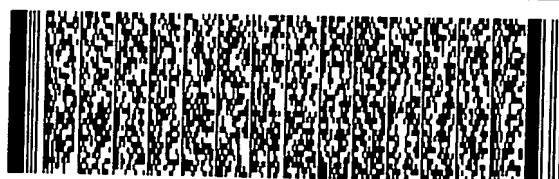
當然，如果所需要的延遲時間長度是固定不變的話例如，固定需要5個時脈(clock)週期時，即可如圖二(c)所示般，該第一輸出信號之轉態時間點，皆為因應所選擇的信號源P1而得致的，且該第二輸出信號之轉態時間點，則為因應所選擇的信號源P6而得致的，如此一來，將該第一與第二輸出信號進行一邏輯運算(例如，為互斥或邏輯運算)後，便可使該延遲信號產生出極精確的延遲時間d5、d6與d7。

為更進一步揭示本案之實施方法，請參閱第三圖，其係為本案之一較佳實施方法之流程示例圖。其詳細步驟如下所述：

步驟(a)：開始。

步驟(b)：提供由一高頻信號所產生之複數個信號源；其中，任兩相鄰之信號源間係相差一個時脈(clock)週期，且於任兩相鄰之信號源中，前一個信號源係領先相鄰之後一個信號源一個時脈週期。當然，於任兩相鄰之信號源中，前一個信號源亦可落後相鄰之後一個信號源一個時脈週期。另外，該複數個信號源係可指由一輸入該高頻信號之鎖相迴路(Phase-Locked Loop, PLL)裝置所產生之複數個鎖相迴路信號。

步驟(c)：安排該複數個信號源成為一第一及第二信



五、發明說明 (15)

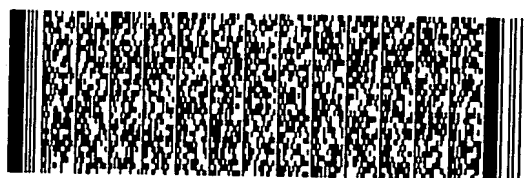
號源群組；其中，該第一或第二信號源群組中之所有信號源，係皆相同於該複數個信號源；亦即，該複數個信號皆作為該第一或第二信號源群組之輸入信號源。

上述安排形成該第一及第二信號源群組之目的，主要係希望能自該第一及第二信號源群組中分別產生出圖二(b)、(c)中所示之該第一及第二輸出信號。

又，為使於進行選擇信號源輸出時，避免選擇動作所產生之選擇轉態，會影響到該第一及第二輸出信號之電準位，一較佳做法，係可將該第一及第二信號源群組皆分別再予以區分成各自至少有兩組以上的信號源群組。例如，將該第一信號源群組再予以區分成四組信號源群組，且該第一信號源群組之信號源數量係可為自其所區分出之四組信號源群組中任一組信號源群組之信號源數量的4倍。同理，該第二信號源群組亦可再予以區分成四組信號源群組，且該第二信號源群組之信號源數量亦係為自其所區分出之四組信號源群組中任一組信號源群組之信號源數量的4倍。易言之，每一被區分出之信號源群組之信號源數量，係為該第一或第二信號源群組之整體信號源數量的四分之一。

步驟(d)：因應一第一時脈信號，以於一第一時間自該第一信號源群組中，產生輸出該第一輸出信號；

其中，於該第一信號源群組內用以產生輸出該第一輸出信號之特定信號源群組(即所區分出之四組信號源



五、發明說明 (16)

群組中之一組信號源群組)，於遂行產生該第一輸出信號之輸出動作時，該特定信號源群組中之所有信號源，係處於一相同之低電準位狀態。如此一來，於該特定信號源群組進行選擇信號源輸出之選擇動作時，將可保證避免該選擇動作所產生之選擇轉態，會影響到該第一輸出信號之電準位。

步驟(e)：因應一第二時脈信號，以於一第二時間自該第二信號源群組中，產生輸出該第二輸出信號。

其中，於該第二信號源群組內用以產生輸出該第二輸出信號之特定信號源群組(即所區分出之四組信號源群組中之一組信號源群組)，於遂行產生該第二輸出信號之輸出動作時，該特定信號源群組中之所有信號源，係皆處於一相同之低電準位狀態。如此一來，於該特定信號源群組進行選擇信號源輸出之選擇動作時，將可保證避免該選擇動作所產生之選擇轉態，會影響到該第二輸出信號之電準位。

步驟(f)：將該第一及第二輸出信號遂行一邏輯運算，以得致一延遲信號。

其中該第一及第二輸出信號係共同用以控制該延遲信號之延遲時間長度，且該邏輯運算係可為一互斥或(XOR)邏輯運算。



五、發明說明 (17)

步驟(g)：結束。

當然，為以另一角度來理解本案之實施概念，請參閱第四圖，其係為本案之一較佳實施裝置之結構示例圖。於圖四中，本案以多重信號源(multiple signal source)產生高精度度延遲信號之較佳實施裝置40係可包括：一多重信號源產生裝置41、一信號源輸出選擇裝置42以及一邏輯運算裝置43。其中，該多重信號源產生裝置41係可因應一高頻信號，以產生輸出複數個信號源(例如，包括有第1個至第32個信號源S0~S31)，且，任兩相鄰之信號源間係相差一個時脈(clock)週期。又，一較佳之做法，該多重信號源產生裝置41係可為一鎖相迴路(Phase-Locked Loop, PLL)裝置，且該32個信號源S0~S31係為該鎖迴路裝置因應該高頻信號所產生之32個鎖相迴路信號。

另外，該信號源輸出選擇裝置42係電連接於該多重信號源產生裝置41，以輸入該32個信號源S0~S31，而該信號源輸出選擇裝置42則可分別因應所輸入之一第一及第二時脈信號，以分別於一第一及第二時間產生一第一及第二輸出信號；其中，該第一及第二時脈信號係分別為預設之一第一及第二時脈計數值。

再則，關於電連接於該信號源輸出選擇裝置42之該邏輯運算裝置43，其係用以輸入該第一及第二輸出信號，且可將該第一及第二輸出信號遂行一邏輯運算，以得致一延遲信號；其中，該第一及第二輸出信號係共同用以控制該



五、發明說明 (18)

延遲信號之延遲時間長度，且該邏輯運算係可為一互斥或(XOR)邏輯運算。

由於考量到該信號源輸出選擇裝置42於進行選擇適當的信號源，以供產生該第一及第二輸出信號之用之選擇動作時，容易使該第一及第二輸出信號產生不正確的轉態變化並進而使該邏輯運算裝置43輸出錯誤的延遲信號，因此，該信號源輸出選擇裝置42之內部結構有必要予以特別的設計。以下茲提出一種實施例以為說明。

請參閱第五圖，其係為本案較佳實施裝置40中之該信號源輸出選擇裝置42之內部結構示例圖。於圖五中，該信號源輸出選擇裝置42係可包括：一第一及第二多工選擇電路421、422、一選擇信號產生電路423與一第一及第二多工信號合成輸出電路424、425。其中，該選擇信號產生電路423係用以輸入該32個信號源S0~S31與該第一及第二時脈信號，以產生輸出一第一及第二選擇信號。另外，該第一及第二多工選擇電路421、422亦係皆電連接於該選擇信號產生電路423，且皆各自輸入該32個信號源S0~S31，如此一來，該第一及第二多工選擇電路421、422即可分別因應該第一與第二選擇信號而各自從所輸入之該32個信號源S0~S31中，各選擇輸出一個特定之信號源，俾分別用以產生該第一及第二輸出信號。

以圖五所示之實施例而言，其中該第一及第二多工選擇電路421、422係各分別包括有一組第一至第四多工器4211~4214與一組第五至第八多工器4221~4224，且任一



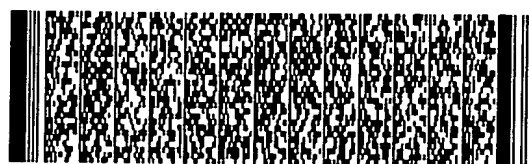
五、發明說明 (19)

多工器係用以分別輸入該32個信號源S0~S31中之四分之一信號源。例如，該第一多工器4211係用以輸入8個信號源S3~S28、該第二多工器4212用以輸入8個信號源S27~S20、該第三多工器4213係用以輸入8個信號源S19~S12、該第四多工器4214則用以輸入8個信號源S11~S4。同理，該組第五至第八多工器4221~4224亦係用以各自輸入8個信號源。

進一步而論，基於該第一多工選擇電路421於同一時間僅能允許該組第一至第四多工器4211~4214自輸入其中之該32個信號源S0~S31選擇一個特定信號源輸出，且該第二多工選擇電路422於同一時間亦僅能允許該組第五至第八多工器4221~4224自輸入其中之該32個信號源S0~S31選擇另一個特定信號源輸出，因此，該第一與第二選擇信號係各分別包括有一第一至第四多工器選擇信號與一第五至第八多工器選擇信號，以各分別控制四個多工器4211~4214、4221~4224進行多工選擇動作，並產生一第一至第四多工器輸出信號與一第五至第八多工器輸出信號。

至於該第一及第二多工信號合成輸出電路424、425，其則用以分別電連接於該第一及第二多工選擇電路421、422，以分別輸入該第一至第四多工器輸出信號與該第五至第八多工器輸出信號，並分別予以合成產生該第一及第二輸出信號。

當然，該第一及第二多工信號合成輸出電路424、425



五、發明說明 (20)

係可分別包括一第一或閘(OR gate)4241與一第二或閘4251，以分別使該第一至第四多工器輸出信號以及該第五至第八多工器輸出信號直接遂行一或閘邏輯運算，並分別得致該第一及第二輸出信號。然於本實施例中所揭示之較佳之做法，該第一及第二多工信號合成輸出電路424、425更分別包括有：一第一至第四及閘(AND gate)4242~4245與一第五至第八及閘4252~4255。

上述額外設置該些及閘之理由，主要是考量到為了能夠在該高頻信號之正半週期內產生兩次以上的延遲時間(其實際範例，請配合參閱於第二圖(b)中所示延遲信號之延遲時間d1、d2)，故，方將該第一至第四及閘4242~4245分別電連接於該選擇信號產生電路423、該組第一至第四多工器4211~4214以及該第一或閘4241之間，且該第一至第四及閘4242~4245係用以分別將該第一至第四多工器輸出信號、一第一至第四特定信號源(為圖五中所標示之信號源S24、S16、S8與S0)以及由該選擇信號產生電路423所產生之一第一至第四解碼信號遂行一及閘邏輯運算，以分別得致一第一至第四及閘輸出信號，且經由該第一或閘4241遂行一或閘邏輯運算而予以合成產生該第一輸出信號。其中，該第一至第四特定信號源(為圖五中所標示之信號源S24、S16、S8與S0)，其應較所輸入之相對應及閘之多工器輸入端處之任一信號源，提前或落後四個時脈週期，以避免該任一信號源中未使用到之波形信號影響該第一輸出信號。舉例而言，輸入至該第二及閘4243之該



五、發明說明 (21)

第二特定信號源S16，即較與該第二及閘4243相對應之多工器4212之8個信號源S27~S20中之任一個信號源提前四個時脈週期，如此一來，當該第二特定信號源S16之信號波形處於一低電準位狀態時，不論該8個信號源S27~S20中之任一個信號源之信號波形為何，該第二及閘輸出信號必然會因該第二及閘4243所遂行之及閘邏輯運算而保證處於一低電準位狀態。如此結果，該8個信號源S27~S20顯然即不會影響到該第一輸出信號之電準位狀態。

同理，圖五中所示之該第五至第八及閘4252~4255，係分別電連接於該選擇信號產生電路423、該組第五至第八多工器4221~4224以及該第二或閘4251之間，且該第五至第八及閘4252~4255係用以分別將該第五至第八多工器輸出信號、一第五至第八特定信號源(亦可為圖五中所標示之信號源S24、S16、S8與S0)以及由該選擇信號產生電路423所產生之一第五至第八解碼信號遂行一及閘邏輯運算，以分別得致一第五至第八及閘輸出信號，且經由該第二或閘4251遂行一或閘邏輯運算而予以合成產生該第二輸出信號。其中，該第五至第八特定信號源(亦可為圖五中所標示之信號源S24、S16、S8與S0)，其應較所輸入之相對應及閘之多工器輸入端處之任一信號源，提前或落後四個時脈週期，以避免該任一信號源中未使用到之波形信號影響該第二輸出信號。舉例而言，輸入至該第七及閘4254之該第七特定信號源S8，即較與該第七及閘4254相對應之多工器4223之8個信號源S19~S12中之任一個信號源提前



五、發明說明 (22)

四個時脈週期，如此一來，當該第七特定信號源S8之信號波形處於一低電準位狀態時，不論該8個信號源S19～S12中之任一個信號源之信號波形為何，該第七及閘輸出信號必然會因該第七及閘4254所遂行之及閘邏輯運算而保證處於一低電準位狀態。如此結果，該8個信號源S19～S12顯然即不會影響到該第二輸出信號之電準位狀態。

以下再進一步就該選擇信號產生電路423之內部實施結構為一詳細說明。請參閱第六圖，其係為該選擇信號產生電路423之內部較佳結構示例圖。於圖六中，該選擇信號產生電路423係包括有一第一及第二選擇信號解碼器4233、4234、一第一至第八運算單元42311～42318與一第一至第八輸出單元42321～42328。其中，該第一及第二選擇信號解碼器4233、4234係可分別輸入並因應該第一及第二時脈信號，以分別產生該第一至第四解碼信號與該第五至第八解碼信號。

申言之，該第一至第四運算單元42311～42314係皆電連接於該第一選擇信號解碼器4233，以分別輸入該第一至第四解碼信號與各自輸入該32個信號源S0～S31中互不相同之四分之一信號源，並因應產生一第一至第四輸出控制信號。緊接著，該第一至第四輸出單元42321～42324亦係皆電連接於該第一選擇信號解碼器4233以及分別電連接於該第一至第四運算單元42311～42314，以使該第一至第四輸出單元42321～42324係可分別輸入並因應該第一時脈信號、該第一至第四解碼信號與該第一至第四輸出控制信



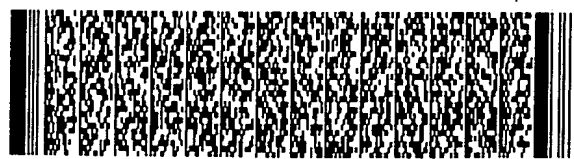
五、發明說明 (23)

號，而分別產生該第一至第四多工器選擇信號，並予以分別輸出至圖五所示之該組第一至第四多工器4211~4214中。當然，該第一至第四多工器選擇信號於本實施例中亦可予以合併視為該第一選擇信號。

同理，該第五至第八運算單元42315~42318係皆電連接於該第二選擇信號解碼器4234，以分別輸入該第五至第八解碼信號與各自輸入該32個信號源S0~S31中互不相同之四分之一信號源，並因應產生一第五至第八輸出控制信號。緊接著，該第五至第八輸出單元42325~42328亦係皆電連接於該第二選擇信號解碼器4234以及分別電連接於該第五至第八運算單元42315~42318，以使該第五至第八輸出單元42325~42328係可分別輸入並因應該第二時脈信號、該第五至第八解碼信號與該第五至第八輸出控制信號，而分別產生該第五至第八多工器選擇信號，並予以分別輸出至圖五所示之該組第五至第八多工器4221~4224中。當然，該第五至第八多工器選擇信號於本實施例中亦可予以合併視為該第二選擇信號。

其中較佳之做法，該第一至第八運算單元42311~42318係皆可為一或閘(OR gate)，以各自將輸入其中之四分之一信號源予以遂行一或閘邏輯運算，並分別得致該第一至第八輸出控制信號；至於該第一至第八輸出單元42321~42328，則皆可為一透通型電門(Transparent Latch)。

關於本案圖四中之該邏輯運算裝置43，其內部結構之

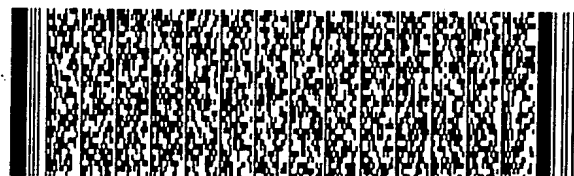
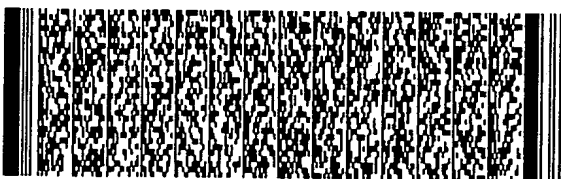


五、發明說明 (24)

做法，現分別以第七圖(a)、(b)為一說明。首先，請參閱第七圖(a)，其係為本案較佳實施裝置40中之該邏輯運算裝置43之一第一內部結構示例圖，於其中，該邏輯運算裝置43係可包括一記憶儲存單元431與一邏輯運算單元433。亦即，該記憶儲存單元431係用以輸入並儲存該第一及第二輸出信號，且，該邏輯運算單元433係電連接於該記憶儲存單元431，以將該第一及第二輸出信號遂行一邏輯運算，以得致該延遲信號。其中，該記憶儲存單元431係可包括一第一及第二T型正反器(T Flip-Flop)4311、4312，以分別用以記憶與儲存該第一及第二輸出信號。當然，該邏輯運算單元433係可為一互斥或閘(XOR gate)，以使該第一及第二輸出信號遂行一互斥或邏輯運算。

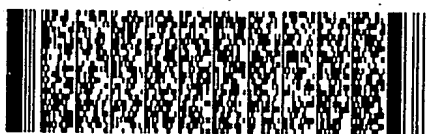
再請參閱第七圖(b)，其係為本案較佳實施裝置40中之該邏輯運算裝置43之一第二內部結構示例圖，於其中，該邏輯運算裝置43亦係可包括一記憶儲存單元432以及如圖七(a)中所示之該邏輯運算單元433。另外，該記憶儲存單元432與圖七(a)中所示之該記憶儲存單元431於功能上皆屬相同，其皆用以輸入並儲存該第一及第二輸出信號。惟，兩者之不同點在於，其中該記憶儲存單元432係包括一第一及第二R-S電門(R-S Latch)4321、4322。

綜上所述，本案可於高頻之運作環境中，得致一高精度且具可調整延遲時間之延遲信號，俾解決習知跨晶片間信號無法同步的問題，是以，本案實為一極具產業價值之作。



五、發明說明 (25)

本案得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。



圖式簡單說明

第一圖(a)、(b)：其係分別為以三個晶片為例之一晶片架構示例圖與一信號波形比較示意圖。

第二圖(a)：其係為本案之較佳實施方法中產生多重信號源(multiple signal source)之概念示例圖。

第二圖(b)、(c)：其係分別為利用圖二(a)中所示之該多重信號源以產生具不同延遲時間之延遲信號之波形示意圖。

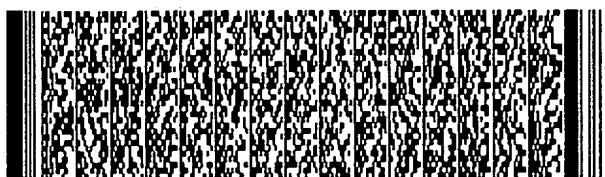
第三圖：其係為本案之一較佳實施方法之流程示例圖。

第四圖：其係為本案之一較佳實施裝置之結構示例圖。

第五圖：其係為本案較佳實施裝置中之信號源輸出選擇裝置之內部結構示例圖。

第六圖：其係為信號源輸出選擇裝置中之選擇信號產生電路之內部結構示例圖。

第七圖(a)、(b)：其係分別為本案較佳實施裝置中之邏輯運算裝置之第一及第二內部結構示例圖。



六、申請專利範圍

1、一種以多重信號源(multiple signal source)產生高精確度延遲信號之方法，係包括下列步驟：

提供複數個信號源；其中，任兩相鄰之信號源間係相差一個時脈(clock)週期；

因應該複數個信號源，以於一第一及第二時間分別產生一第一及第二輸出信號；以及

將該第一及第二輸出信號遂行一邏輯運算，以得致一延遲信號。

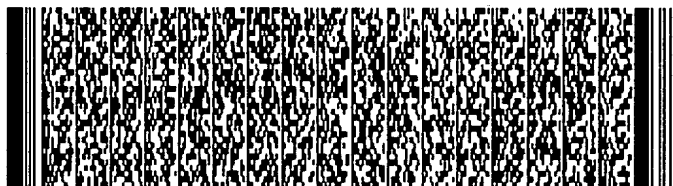
2、如申請專利範圍第1項所述之以多重信號源產生高精確度延遲信號之方法，其中該複數個信號源係可由一高頻信號所產生。

3、如申請專利範圍第2項所述之以多重信號源產生高精確度延遲信號之方法，其中該複數個信號源係指由一輸入該高頻信號之鎖相迴路(Phase-Locked Loop, PLL)裝置所產生之複數個鎖相迴路信號。

4、如申請專利範圍第1項所述之以多重信號源產生高精確度延遲信號之方法，其中任兩相鄰之信號源中，前一個信號源係領先相鄰之後一個信號源一個時脈週期。

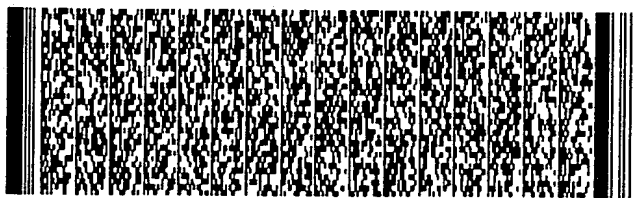
5、如申請專利範圍第1項所述之以多重信號源產生高精確度延遲信號之方法，其中任兩相鄰之信號源中，前一個信號源係落後相鄰之後一個信號源一個時脈週期。

6、如申請專利範圍第1項所述之以多重信號源產生高精確度延遲信號之方法，其中該第一及第二輸出信號係共同用以控制該延遲信號之延遲時間長度。



六、申請專利範圍

- 7、如申請專利範圍第1項所述之以多重信號源產生高精度延遲信號之方法，其中該邏輯運算係可為一互斥或 (XOR) 邏輯運算。
- 8、如申請專利範圍第1項所述之以多重信號源產生高精度延遲信號之方法，其中於該第一及第二時間分別產生該第一及第二輸出信號之做法，係可包括下列步驟：
安排該複數個信號源成為一第一及第二信號源群組；
其中，該第一或第二信號源群組中之所有信號源，係皆相同於該複數個信號源；
因應一第一時脈信號，以於該第一時間自該第一信號源群組中，產生輸出該第一輸出信號；以及
因應一第二時脈信號，以於該第二時間自該第二信號源群組中，產生輸出該第二輸出信號。
- 9、如申請專利範圍第8項所述之以多重信號源產生高精度延遲信號之方法，其中該第一及第二時脈信號係分別為預設之一第一及第二時脈計數值。
- 10、如申請專利範圍第8項所述之以多重信號源產生高精度延遲信號之方法，其中該第一及/或第二信號源群組係可分別予以區分成至少兩組信號源群組。
- 11、如申請專利範圍第10項所述之以多重信號源產生高精度延遲信號之方法，其中該第一信號源群組之信號源數量係為自其所區分出之該至少兩組信號源群組中任一組信號源群組之信號源數量的整數倍。
- 12、如申請專利範圍第10項所述之以多重信號源產生高精



六、申請專利範圍

確度延遲信號之方法，其中該第二信號源群組之信號源數量係為自其所區分之該至少兩組信號源群組中任一組信號源群組之信號源數量的整數倍。

13、如申請專利範圍第10項所述之以多重信號源產生高精度延遲信號之方法，其中於該第一信號源群組內用以產生該第一輸出信號之輸出信號之輸出動作時，該特定信號源群組中之所有信號源，係皆處於一相同之電準位狀態。

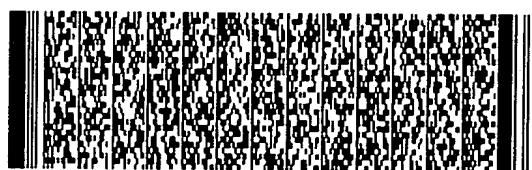
14、如申請專利範圍第10項所述之以多重信號源產生高精度延遲信號之方法，其中於該第二信號源群組內用以產生該第二輸出信號之輸出信號之輸出動作時，該特定信號源群組中之所有信號源，係皆處於一相同之電準位狀態。

15、一種以多重信號源(multiple signal source)產生高精度延遲信號之裝置，係可包括：

一多重信號源產生裝置，係可因應一高頻信號，以產生輸出複數個信號源；其中，任兩相鄰之信號源間係相差一個時脈(clock)週期；

一信號源輸出選擇裝置，電連接於該多重信號源產生裝置，以輸入該複數個信號源，且該信號源輸出選擇裝置係可分別因應一第一及第二時脈信號，以分別於一第一及第二時間產生一第一及第二輸出信號；以及

一邏輯運算裝置，電連接於該信號源輸出選擇裝置，以輸入該第一及第二輸出信號，該邏輯運算裝置係可將該



六、申請專利範圍

第一及第二輸出信號遂行一邏輯運算，以得致一延遲信號。

16、如申請專利範圍第15項所述之以多重信號源產生高精度延遲信號之裝置，其中該多重信號源產生裝置係可為一鎖相迴路(Phase-Locked Loop, PLL)裝置。

17、如申請專利範圍第16項所述之以多重信號源產生高精度延遲信號之裝置，其中該複數個信號源係可為該鎖相迴路裝置因應該高頻信號所產生之複數個鎖相迴路信號。

18、如申請專利範圍第15項所述之以多重信號源產生高精度延遲信號之裝置，其中該第一及第二時脈信號係分別為預設之一第一及第二時脈計數值。

19、如申請專利範圍第15項所述之以多重信號源產生高精度延遲信號之裝置，其中該信號源輸出選擇裝置係可包括：

一選擇信號產生電路，其係用以輸入該複數個信號源與該第一及第二時脈信號，以產生輸出一第一及第二選擇信號；

一第一多工選擇電路，電連接於該選擇信號產生電路，其係可因應該第一選擇信號而自該複數個信號源中選擇輸出一特定之信號源，以產生該第一輸出信號；以及

一第二多工選擇電路，電連接於該選擇信號產生電路，其係可因應該第二選擇信號而自該複數個信號源中選擇輸出一特定之信號源，以產生該第二輸出信號。

20、如申請專利範圍第19項所述之以多重信號源產生高精度



六、申請專利範圍

確度延遲信號之裝置，其中該第一及第二多工選擇電路係各分別包括有一第一至第四多工器與第一第五至第八多工器，且任一多工器係用以分別輸入該複數個信號源中之部分信號。

21、如申請專利範圍第20項所述之以多重信號源產生高精度延遲信號之裝置，其中任一多工器係用以各自輸入該複數個信號源中互不相同之四分之一信號源。

22、如申請專利範圍第21項所述之以多重信號源產生高精度之延遲信號之一與第2號信號，至第五至第八分別包括選擇並產生一信號。其中該器控制四器輸出多第信多工信號與一第信多工信號。

23、如申請專利範圍第22項所述之以多重信號源產生高精度延遲信號之裝置，其中該信號源輸出選擇裝置更可包括：

[illegible]

24、如申請專利範圍第23項所述之以多重信號源產生高精度延遲信號之裝置，其中該第一及第二多工信號合成輸



六、申請專利範圍

出電路係分別包括一第一或閘(OR gate)與一第二或閘，以分別使該第一至第四多工器輸出信號以及該第五至第多工器輸出信號遂行一或閘邏輯運算。

25、如申請專利範圍第24項所述之以多重信號源產生高精度延遲信號之裝置，其中該第一及第二多工信號合成輸出電路更可分別包括一第一至第四及閘(AND gate)與一第五至第八及閘。

精連第至該一，高電該一由行號生別及第及遂信產分以該以號出。源係器將源信號開信號間工別號碼開信及多分信解及輸出重四四以定四四輸多以第四用特第一一至第十一至第二十一項所該第一一第第一一第第一一之第一一第一一述第一一第一一第第一一第第一一項中、第一一之一路至一生得合第其路至一生得合圍置生產號所以範裝產生該信路由利之號且出電或專號信，輪生算一申請選擇間，器運第請延選之工號輯該如延該間多信邏由度於或四擇開經確接一第選及且

26

27、如申請專利範圍第26項所述之以多重信號源產生高精度延遲信號之裝置，其中該第一至第四特定信號源，係為該複數個信號源中之四個特定信號源，且輸入至相對應及閘中之特定信號源，其應較電連接於該相對應及閘之多工器輸入端處之任一信號源，提前或落後四個時脈週期。

28、如申請專利範圍第25項所述之以多重信號源產生高精度之延遲信號裝置，其中該第五至第八及第二或間之該第五至



六、申請專利範圍

脈信號，以產生該第五至第八解碼信號；

一第五至第八運算單元，電連接於該第二選擇信號碼器，以分別輸入該第一至第四解碼信號與各自輸入該複數個信號源中互不相同之四分之一信號源，且因應產生一第五至第八輸出控制信號；以及

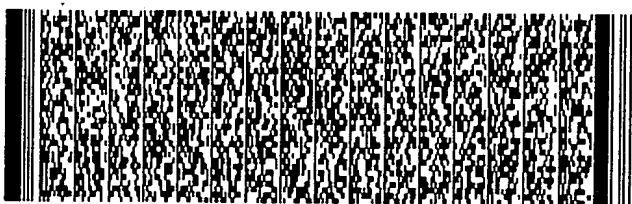
一第五至第八輸出單元，皆電連接於該第二選擇信號解碼器以及分別電連接於該第五至第八運算單元，該第五至第八輸出單元係可分別輸入並因應該第二時脈信號、該第五至第八解碼信號與該第五至第八輸出控制信號，以分別產生該第五至第八多工器選擇信號輸出。

31、如申請專利範圍第30項所述之以多重信號源產生高精度延遲信號之裝置，其中該第一至第四運算單元係皆可為一或閘(OR gate)，以各自將輸入其中之四分之一信號源予以遂行一或閘邏輯運算，並分別得致該第一至第四輸出控制信號。

32、如申請專利範圍第30項所述之以多重信號源產生高精度延遲信號之裝置，其中該第一至第四輸出單元係皆可為一透通型電門(Transparent Latch)。

33、如申請專利範圍第30項所述之以多重信號源產生高精度延遲信號之裝置，其中該第五至第八運算單元係皆可為一或閘(OR gate)，以各自將輸入其中之四分之一信號源予以遂行一或閘邏輯運算，並分別得致該第五至第八輸出控制信號。

34、如申請專利範圍第30項所述之以多重信號源產生高精



六、申請專利範圍

確度延遲信號之裝置，其中該第五至第八輸出單元係皆可為一透通型電門(Transparent Latch)。

35、如申請專利範圍第15項所述之以多重信號源產生高精度確度延遲信號之裝置，其中該邏輯運算裝置係可包括：

一記憶儲存單元，其係用以輸入並儲存該第一及第二輸出信號；以及

一邏輯運算單元，電連接於該記憶儲存單元，該邏輯運算單元係可將該第一及第二輸出信號遂行該邏輯運算，以得致該延遲信號。

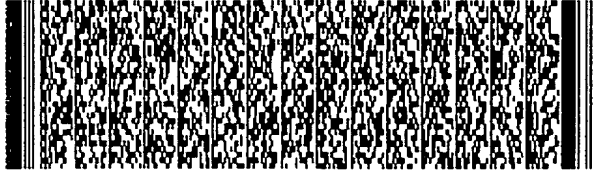
36、如申請專利範圍第35項所述之以多重信號源產生高精度確度延遲信號之裝置，其中該記憶儲存單元係可包括一第一及第二T型正反器(T Flip-Flop)，以分別用以記憶與儲存該第一及第二輸出信號。

37、如申請專利範圍第35項所述之以多重信號源產生高精度確度延遲信號之裝置，其中該記憶儲存單元係可包括一第一及第二R-S電門(R-S Latch)，以分別用以記憶與儲存該第一及第二輸出信號。

38、如申請專利範圍第35項所述之以多重信號源產生高精度確度延遲信號之裝置，其中該邏輯運算單元係可為一互斥或閘(XOR gate)。



第 1/40 頁



第 2/40 頁



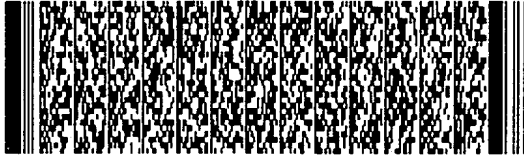
第 2/40 頁



第 3/40 頁



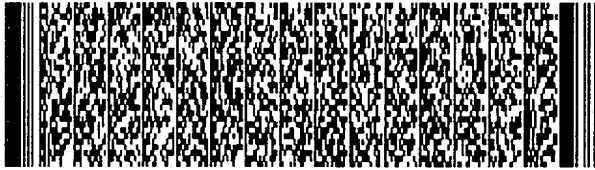
第 3/40 頁



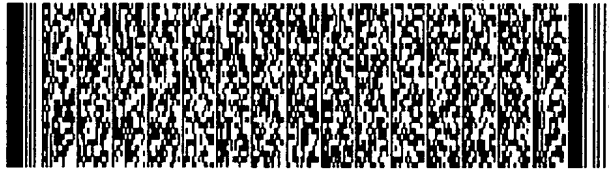
第 4/40 頁



第 6/40 頁



第 6/40 頁



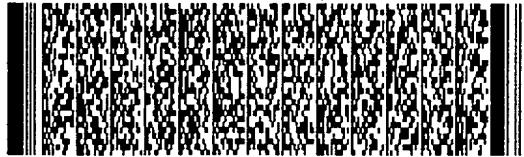
第 7/40 頁



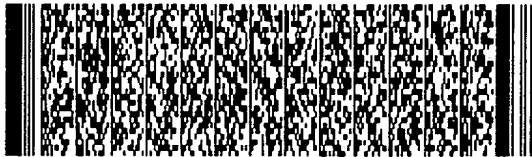
第 7/40 頁



第 8/40 頁



第 8/40 頁



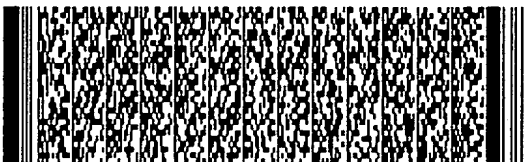
第 9/40 頁



第 10/40 頁



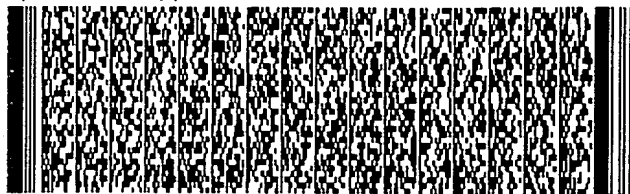
第 10/40 頁



第 11/40 頁



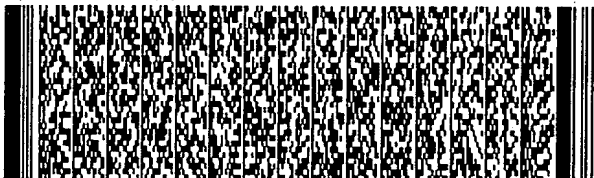
第 12/40 頁



第 14/40 頁



第 16/40 頁



第 17/40 頁



第 18/40 頁



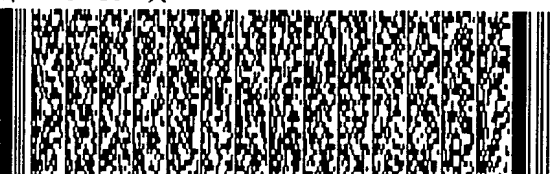
第 19/40 頁



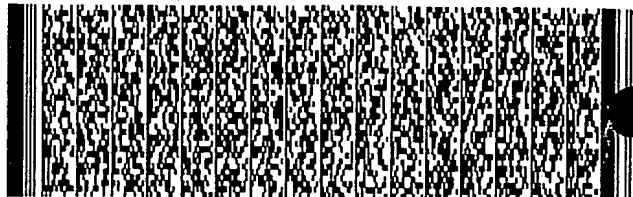
第 20/40 頁



第 22/40 頁



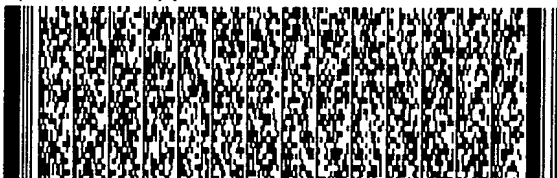
第 13/40 頁



第 15/40 頁



第 17/40 頁



第 18/40 頁



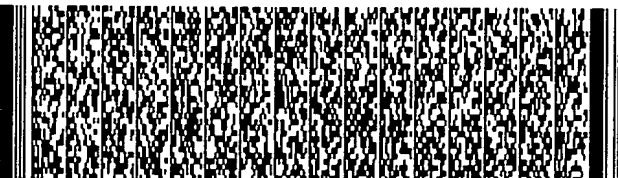
第 19/40 頁



第 20/40 頁



第 21/40 頁



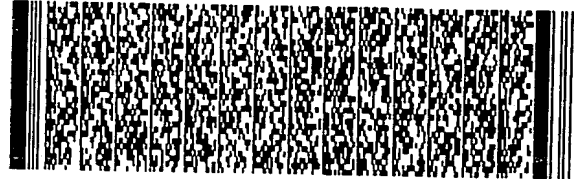
第 22/40 頁



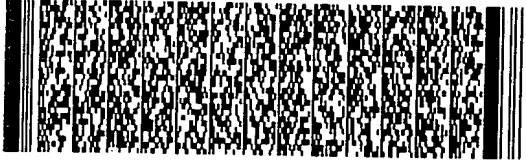
第 23/40 頁



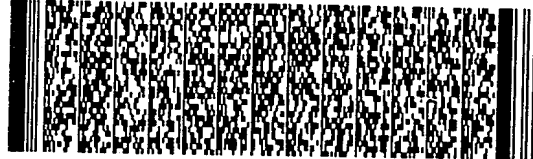
第 23/40 頁



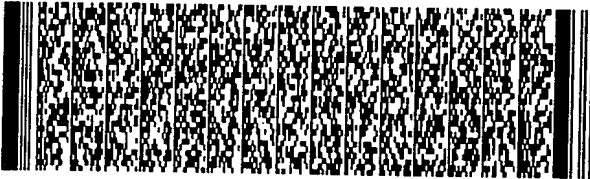
第 24/40 頁



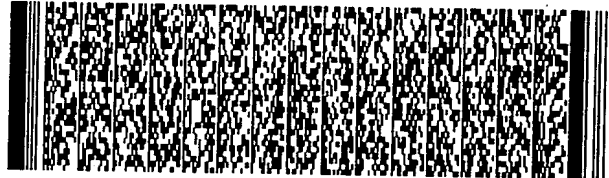
第 24/40 頁



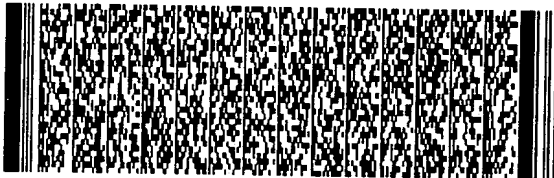
第 25/40 頁



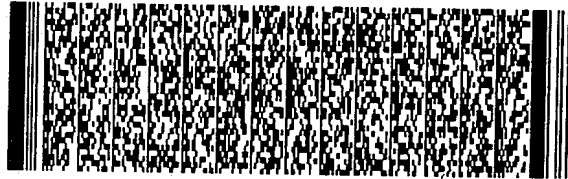
第 25/40 頁



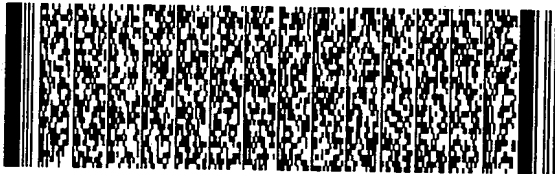
第 26/40 頁



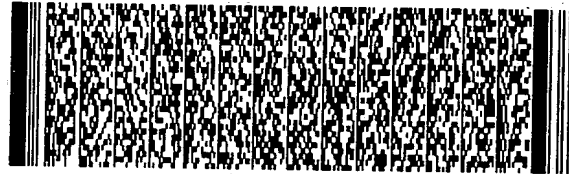
第 26/40 頁



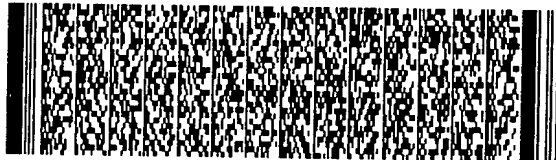
第 27/40 頁



第 27/40 頁



第 28/40 頁



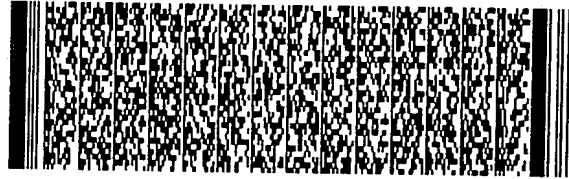
第 28/40 頁



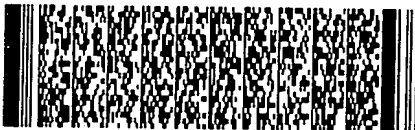
第 29/40 頁



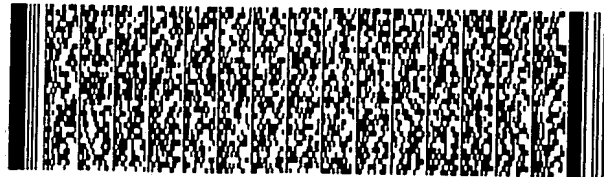
第 29/40 頁



第 30/40 頁



第 31/40 頁



第 32/40 頁



第 33/40 頁



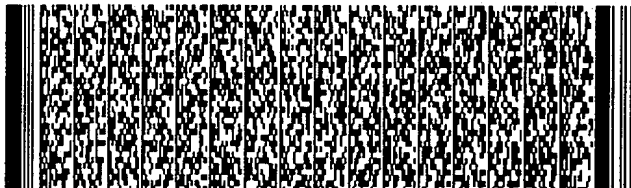
第 34/40 頁



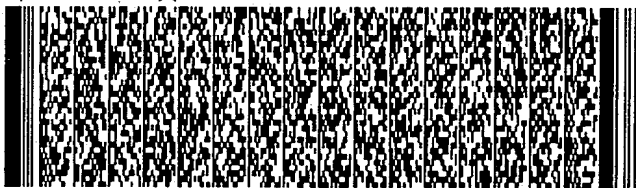
第 34/40 頁



第 35/40 頁



第 36/40 頁



第 37/40 頁



第 37/40 頁



第 38/40 頁



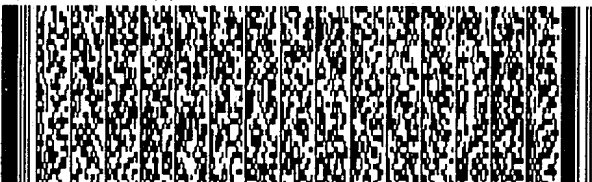
第 38/40 頁

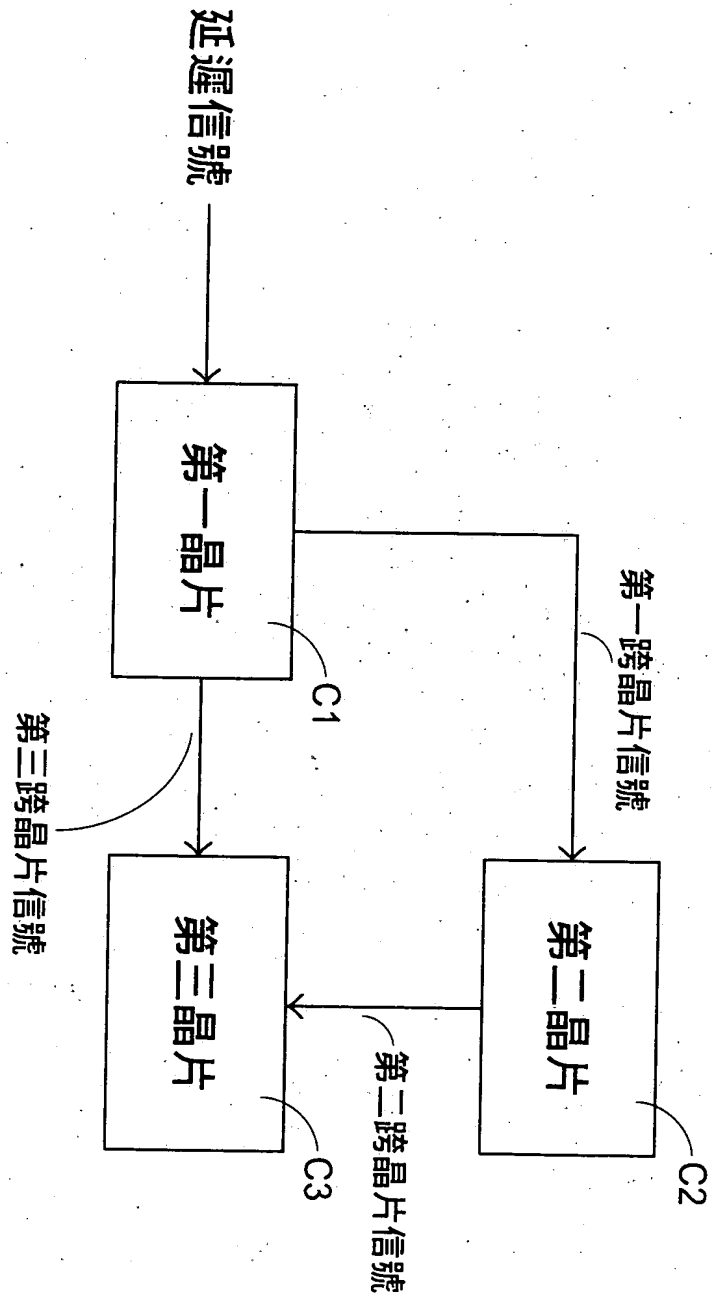


第 39/40 頁

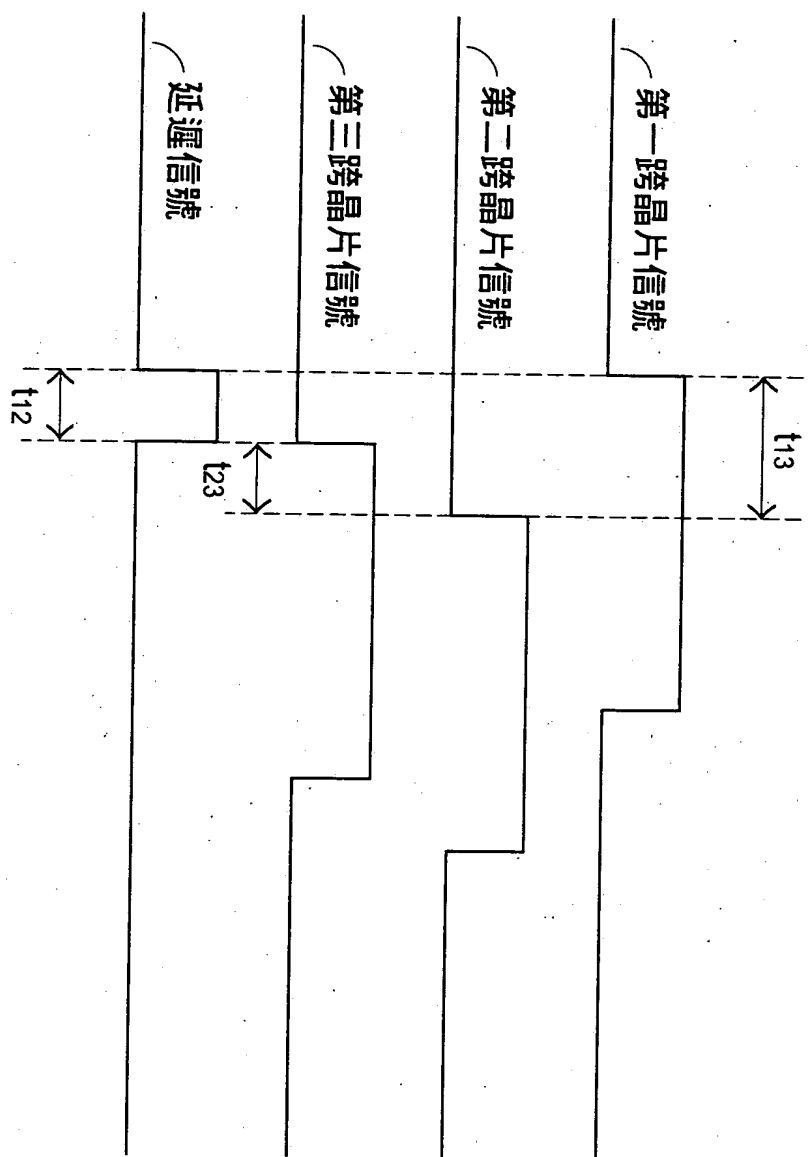


第 40/40 頁

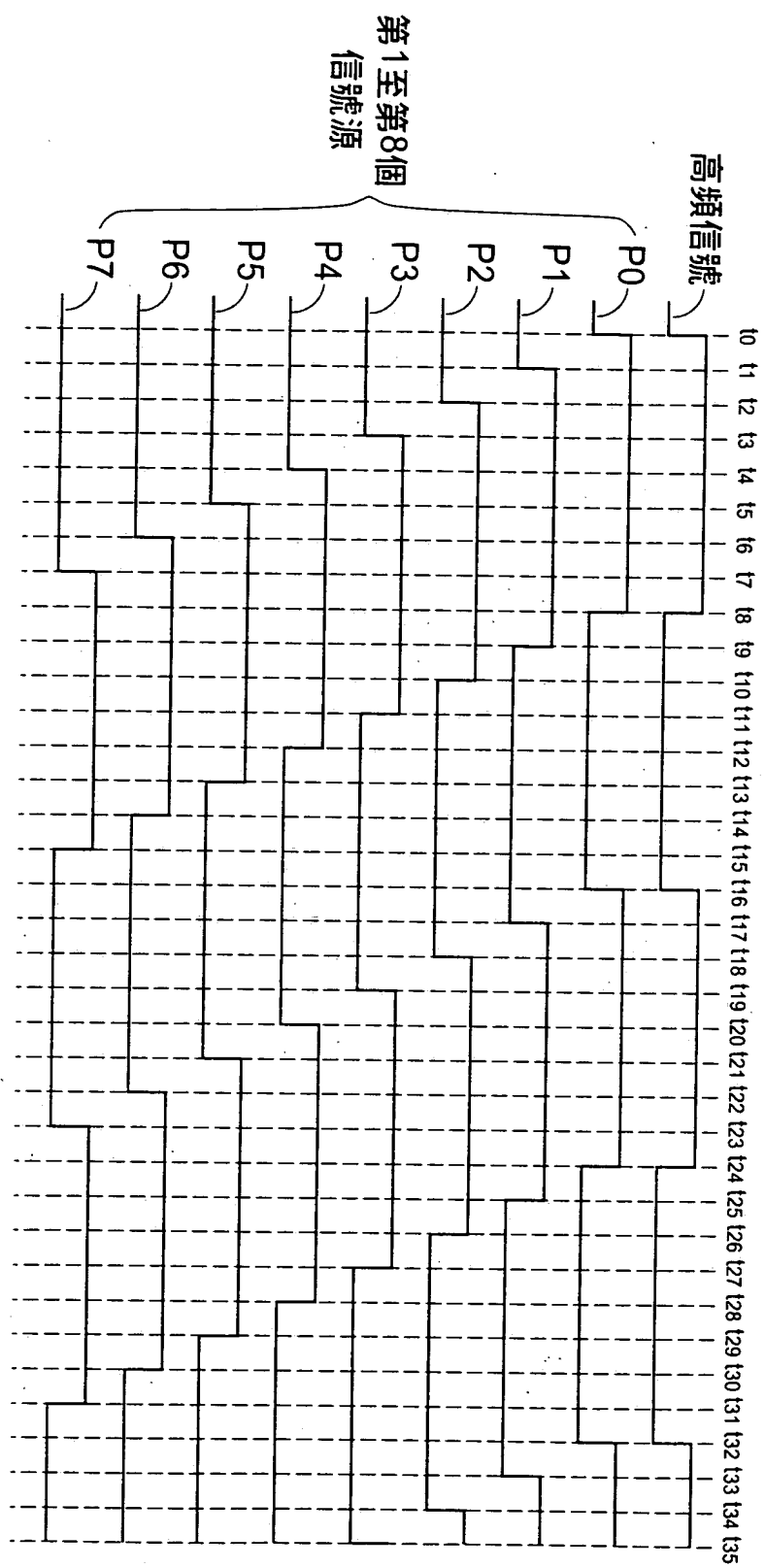




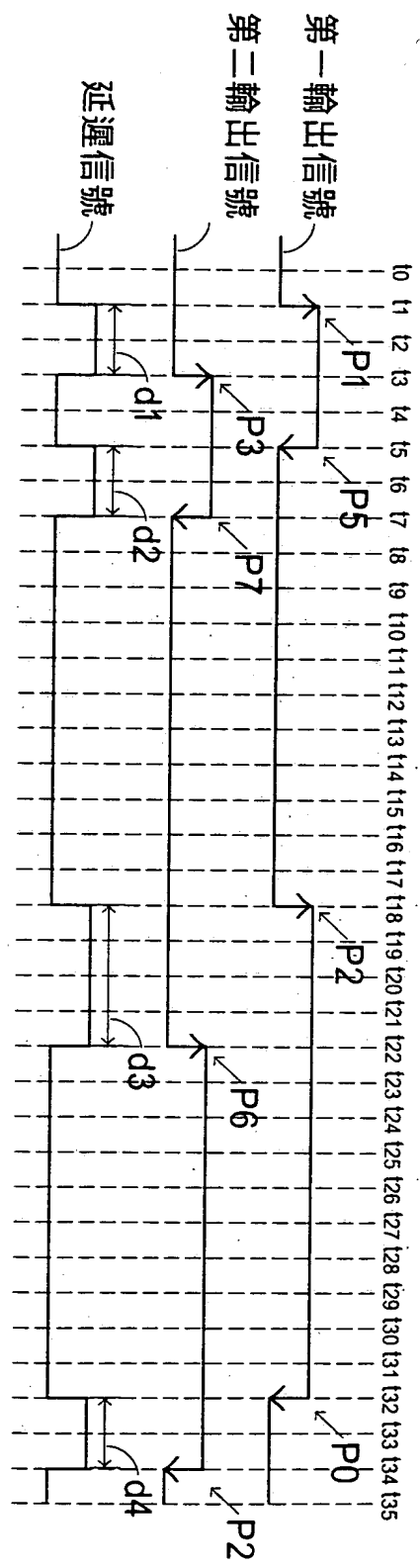
第一圖(a)



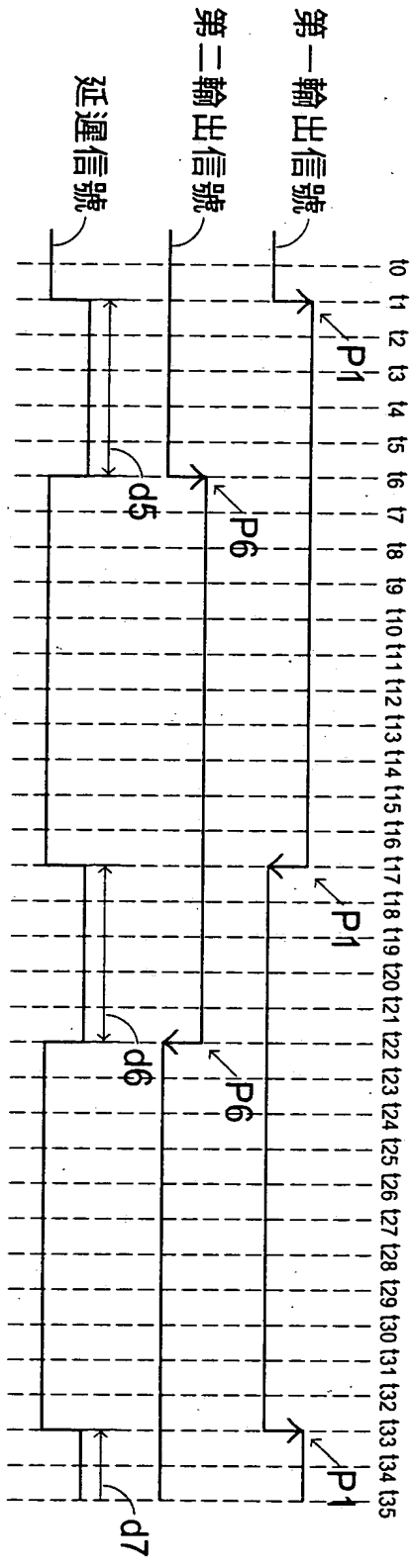
第一圖(b)



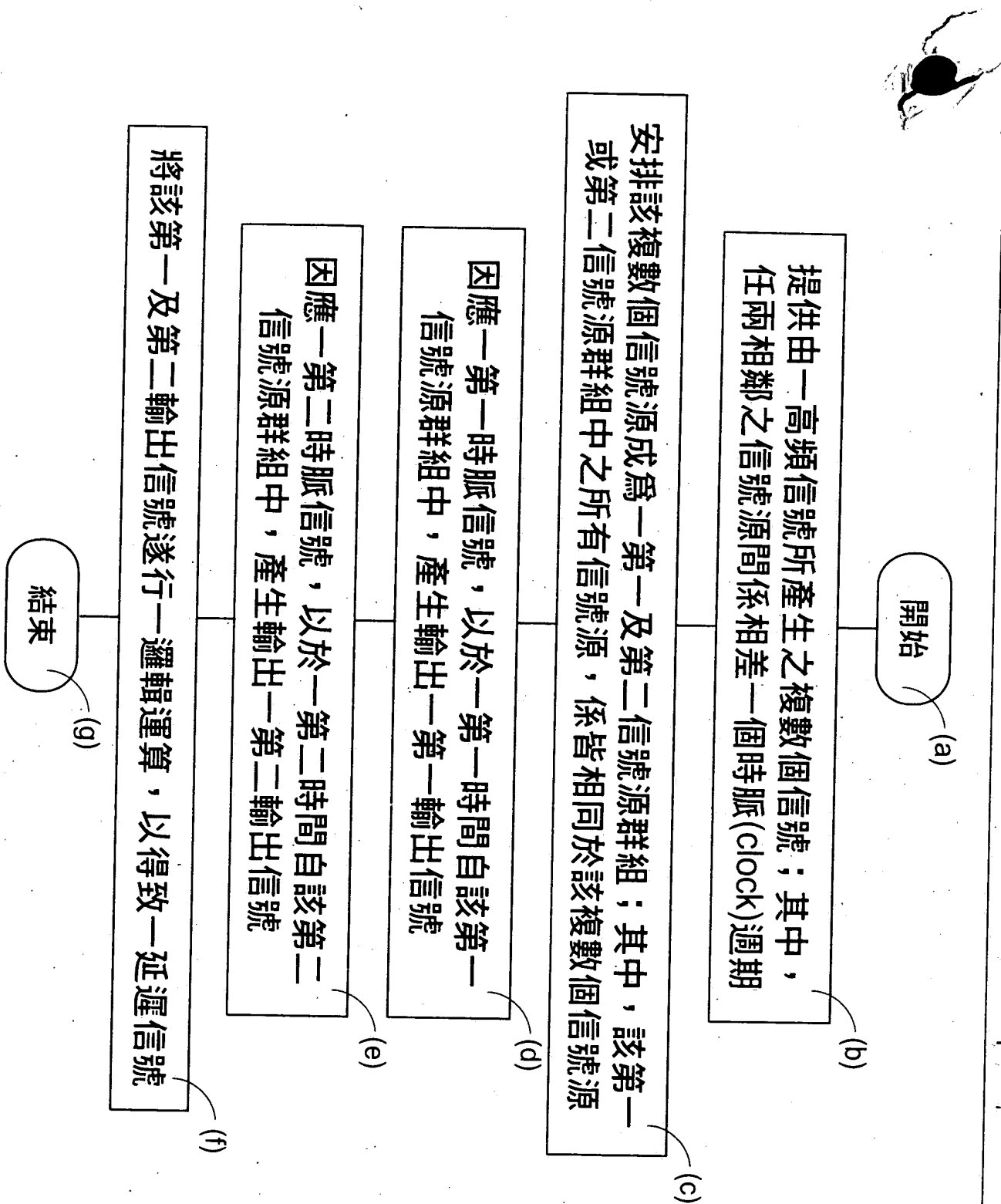
第二圖(a)



第二圖(b)

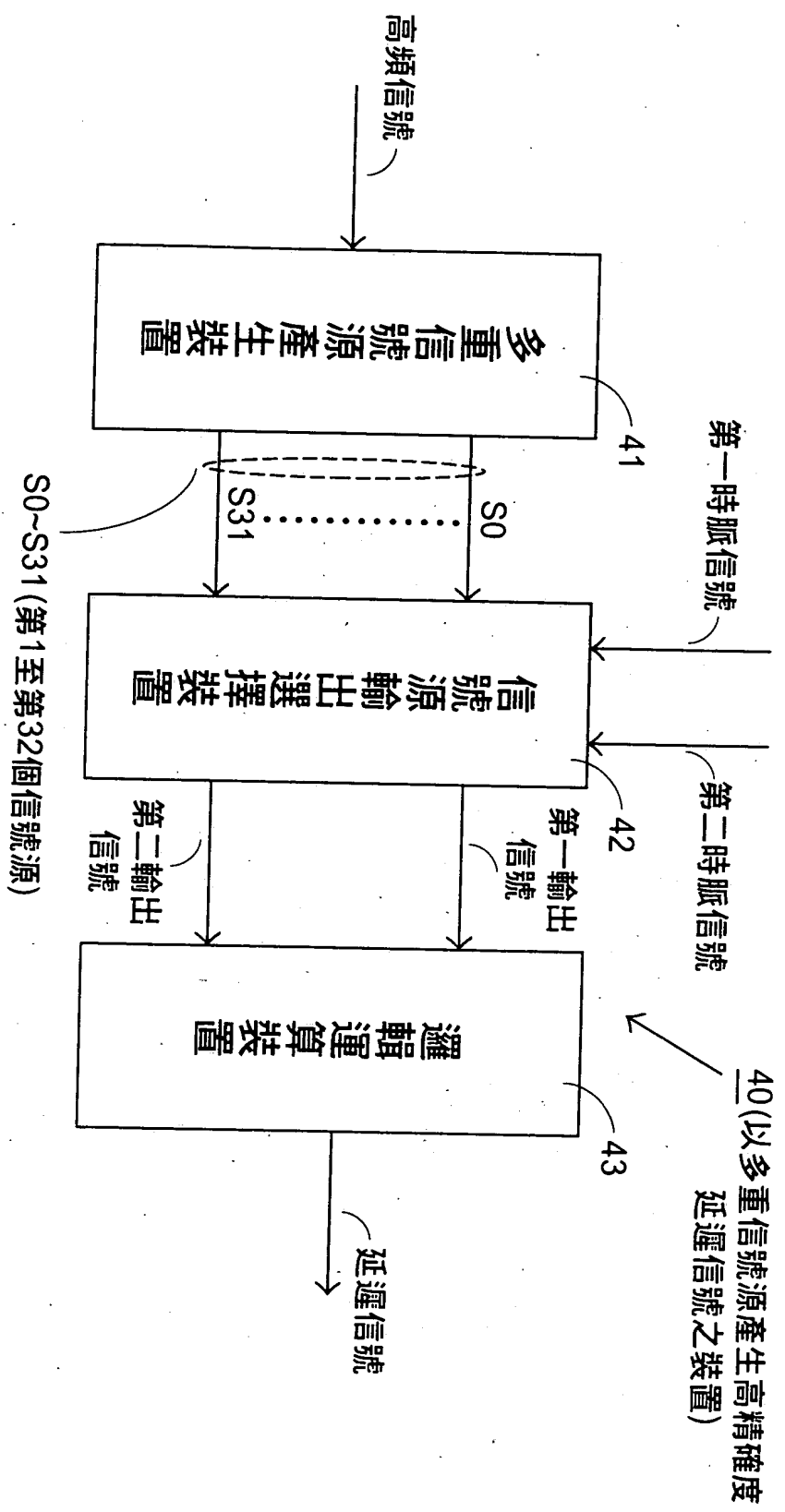


第二圖(c)

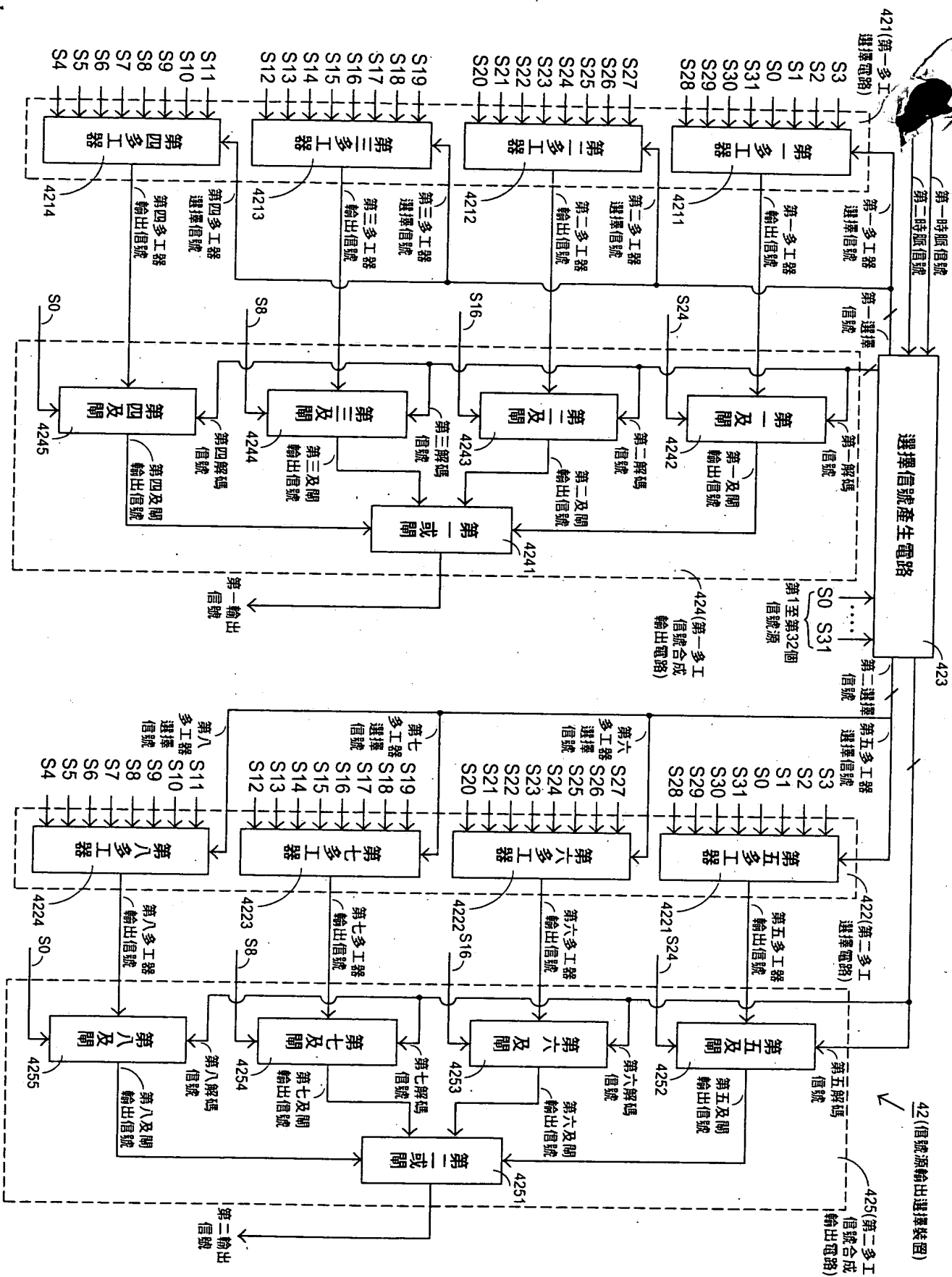


圖式

第三圖



第四圖



42(信號源輸出選擇裝置)

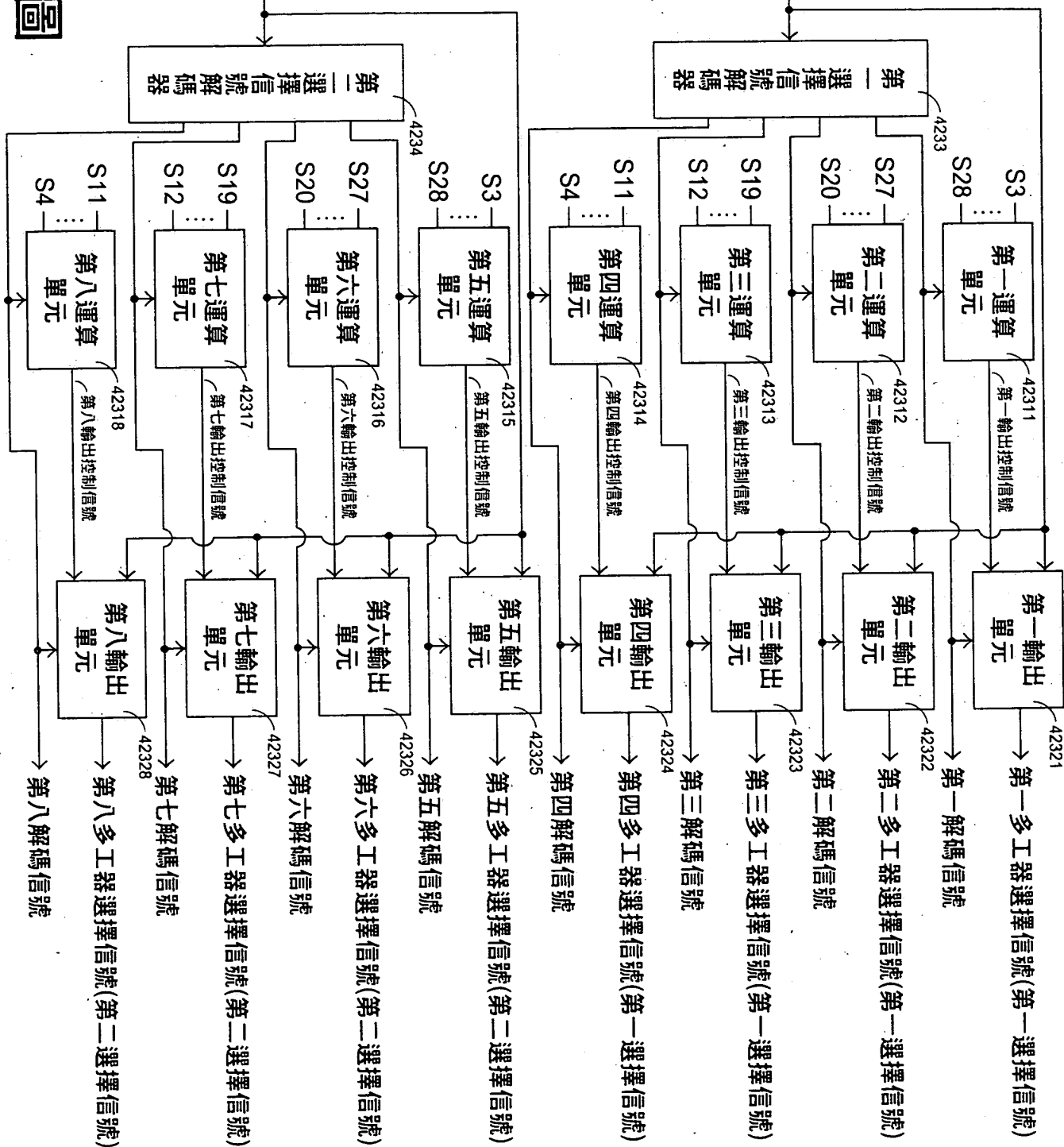
423 (選擇信號產生電路)

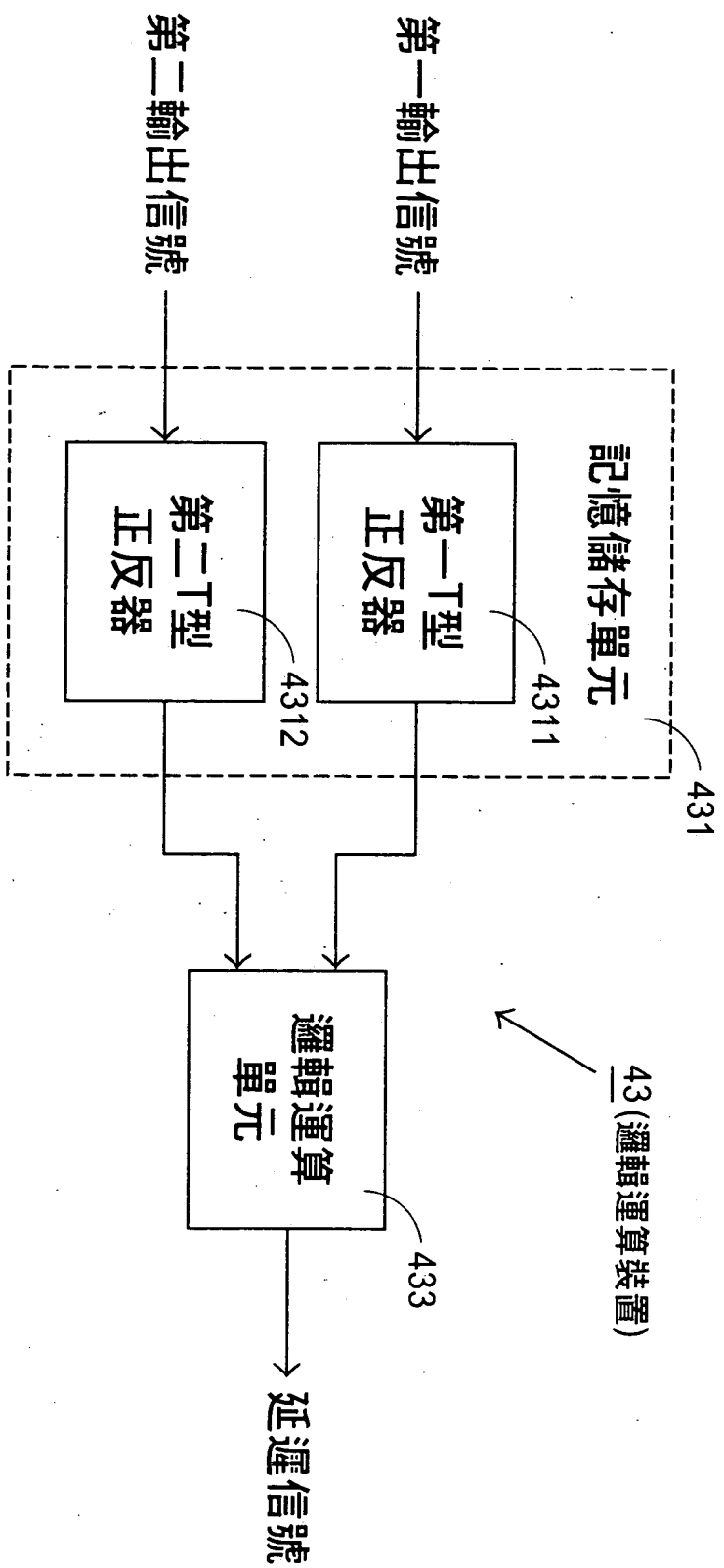


第一時脈
信號

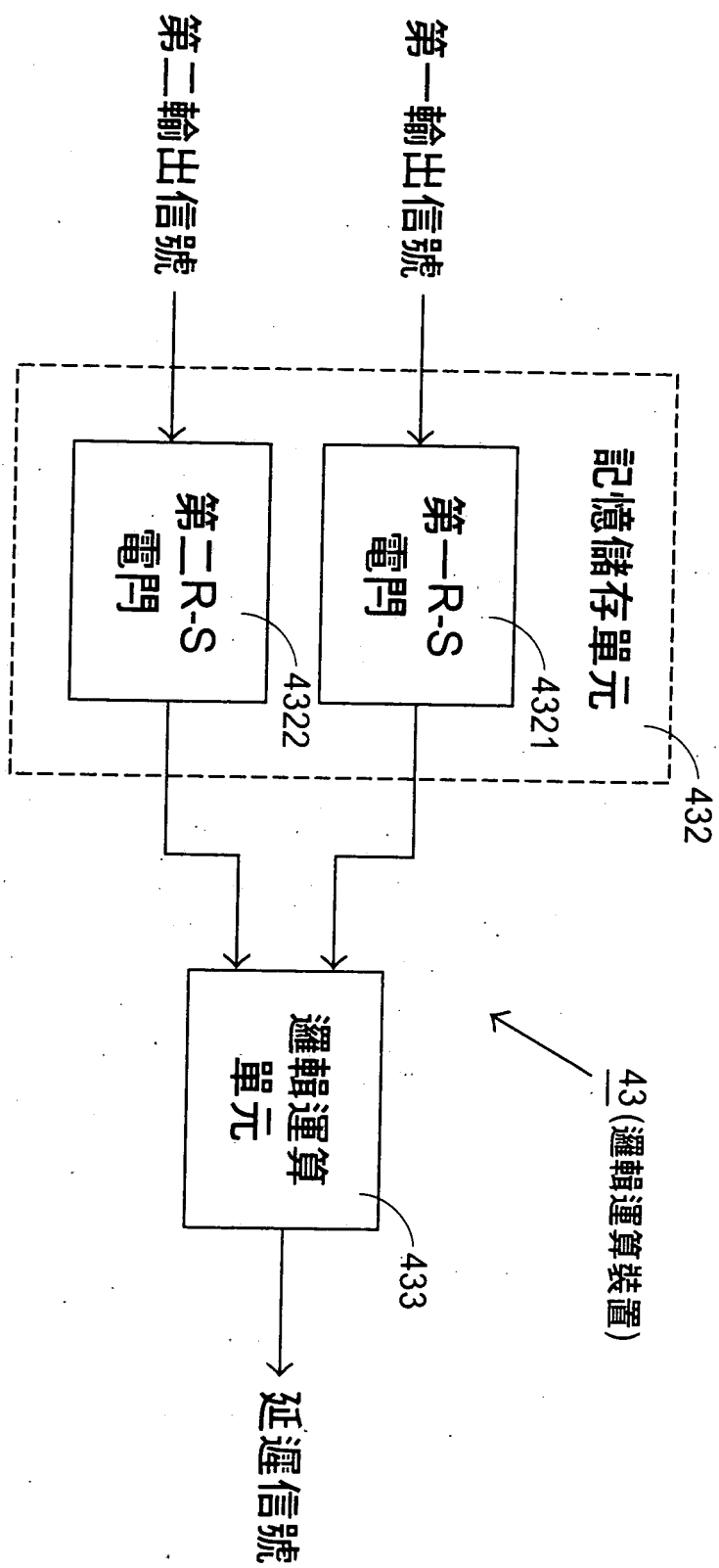
第二時脈
信號

第六圖





第七圖(a)



第七圖(b)